

# FPGA Tabanlı Sobel Operatör İle Kenar Belirleme Uygulaması

## Edge Dedection Application With FPGA Based Sobel Operator

İsmail Koyuncu  
Kontrol ve Otomasyon Tekn.  
Düzce Üniversitesi  
Düzce, Türkiye  
ismailkoyuncu@duzce.edu.tr

Özdemir Çetin  
Elektrik ve Elektronik Müh.  
Sakarya Üniversitesi  
Sakarya, Türkiye  
ocetin@sakarya.edu.tr

Ferzan Katırcıoğlu  
Kontrol ve Otomasyon Tekn.  
Düzce Üniversitesi  
Düzce, Türkiye  
ferzankaroglu@duzce.edu.tr

Murat Tuna  
Elektrik Teknolojisi  
Kırklareli Üniversitesi  
Kırklareli, Türkiye  
murat.tuna@klu.edu.tr

**Özetçe**—Genel bir yaklaşımla sayısal görüntü verilerinin analizi olarak tanımlanabilen görüntü işleme, birçok adımdan oluşmaktadır. Bunlardan biri olan kenar belirleme, farklı operatörler kullanılarak gerçekleştirilebilmektedir. Temel bir kenar belirleme operatörü olan Sobel operatörü, yüksek gürültü seviyelerinde daha az bozulma özelliğinden dolayı tercih edilmektedir. Bu çalışmada, Sobel operatörü ile kenar belirleme işlemi, donanım tabanlı olarak FPGA üzerinde gerçekleştirilmiştir. Sistem tasarımı için IEEE 754-1985 kayan noktalı sayı standardı ve VHDL donanım tanımlama dili kullanılmıştır. Çalışma frekansı 160 MHz olarak tasarlanan sistemde Xilinx Virtex-6 FPGA çipi kullanılmıştır. Sistemin başarımlı ölçütü için donanım istatistikleri değerlendirilmiştir.

**Anahtar Kelimeler** — *FPGA; sayısal görüntü işleme; kenar belirleme; Sobel operatörü; VHDL.*

**Abstract**—Image processing can be defined as analysis of the images consists of the several steps. The edge detection process that is one of these steps can be performed using a variety of operators. Sobel edge detection operator, is a basic operator, is preferred to use with high noisy images because its corruption is insensible on images. The proposed work presents an edge detection algorithm using Sobel operator based on FPGA architecture. Proposed system is designed using IEEE 754-1985 floating-point standard and VHDL hardware description language. Design is synthesized for Xilinx Virtex-6 FPGA chip with 160 MHz operating frequency. The performance is decreed according chip statistics.

**Keywords**— *FPGA; digital image processing; edge detection; Sobel operator; VHDL.*

### I. GİRİŞ

Sayısal görüntü işleme genel olarak, resimsel bilgiler kullanılarak amaca yönelik çeşitli analiz yöntemlerinin ve işlemlerin gerçekleştirilmesidir. Günümüzde sayısal görüntü işleme uygulamaları ile ilgili pek çok alanda çalışmalar yapılmaktadır. Bu çalışma alanlarına tıp

bilimleri [1, 2], ölçme ve enstrümantasyon uygulamaları [3, 4], şifreleme bilimleri [5], yer bilimleri [6], kontrol [7], yiyecek endüstrisi, optimizasyon, yapay sinir ağları, haberleşme örnek olarak verilebilmektedir.

Görüntü işleme, günlük hayattaki analog görüntülerin kullanımı ve analizi sonucunda, işlenmiş bir sayısal resmin oluşturulması sürecidir. Bir görüntüyü daha anlaşılır hale getirmeyi amaçlayan ön işleme safhası; görüntüyü anlamlı alt bölgelere ayırma, kullanılan özellik doğrultusunda alt bölgelerin tanımlanması, tanımlanmış nesnelere etiketlenmesi ve son olarak da etiket atanan nesnelere bakılarak karar verme ile yorumlama işlemlerinden oluşmaktadır.

Görüntüyü anlamlı alt bölgelere ayırma safhasında kenar belirleme teknikleri kullanılır. Görüntü içerisinde yer alan nesnelere sınırlarına, nesnelere içindeki yansıma ve aydınlatma değişimleri kenarları oluşturur. Kenarların belirlenmesinde piksel komşulukları önemli bir yere sahiptir. Kenar belirleme için uygulanan yöntemleri, Eğim kenar detektörleri, Sıfır geçiş (İkincil türev detektörü), Gauss kenar detektörleri (Canny) ve Vektör sıralama istatistiği ile gerçekleştirilmiş kenar detektörleri olmak üzere dört başlık altında toplamak mümkündür.

Eğim kenar detektörlerinden olan Sobel operatöründe, görüntünün yatay ve dikey türevleri 3x3 boyutlarındaki çekirdeklerle hesaplanmaktadır. Elde edilen bu sonuçlar ile görüntü içerisindeki her bir noktanın eğim değerleri toplanmaktadır [8].

İkincil türev detektörlerinde, birinci türevdeki tepe noktalar belirlendikten sonra ikinci türev içinde sıfır çaprazlama işleminin yapılmasıyla resim ile ilgili kenar bilgisi elde edilebilmektedir [9].

Canny uygulaması, Gauss ile ayrılmış adım kenarlarının kullanıldığı bir yöntemdir. Bu uygulama kenar belirleme ve gürültü azaltma için kullanılmış bir kenar belirleme detektörüdür [10].

Sıralama istatistiği, veriler içerisinde en yüksek değeri bulmada ve filtreleme konularında önemli bir rol oynamaktadır. Bu yöntemlere kenar dizeleme (M-ordering), azaltılmış ve toplam dizeleme (R-ordering), kısmi dizeleme (P-ordering), ve şartlı dizeleme (C-ordering) örnek olarak verilebilmektedir [11].

Alan Programlanabilir Kapı Dizileri (Field Programmable Gate Array (FPGA)) tasarımcının sistem üzerinde yeniden programlayabileceği tümdevrelerdir. Bu tümdevreler çip üzerinde sistem (System-on-Chip) olarak da adlandırılmaktadırlar. Bu çipler de yapılandırılabilir lojik bloklar, giriş/çıkış blokları ve ara bağlantılar olmak üzere üç ana yapı bulunmaktadır. FPGA çipleri prototip aşamasında Uygulamaya Özel Tümlü Devreler (Application Specific Integrated Circuit (ASIC)) ile karşılaştırıldığında daha düşük maliyetli ve daha hızlı tasarım gibi çözümler sunmaktadır. Ayrıca paralel işlem yapabilme özelliklerinden dolayı Sayısal Sinyal İşlemci (Digital Signal Processor (DSP)) ile karşılaştırıldığında daha yüksek işlem kapasitesi ve çalışma frekansı gibi üstünlüklerinden dolayı ilgi çekmektedir. Sonuç olarak FPGA çipleri hızlı ve düşük maliyet sunmaları, tekrar programlanabilme ve yüksek frekansta çalışabilme özelliklerinden dolayı yüksek işlem gücü ve performans gerektiren görüntü işleme uygulamalarında tercih edilmektedir [12].

Literatürde FPGA-tabanlı Sobel operatörü ile çeşitli çalışmalar yapılmıştır. Kumar ve arkadaşlarının yaptıkları çalışmada 2 boyutlu Sobel operatörü uygulaması FPGA-tabanlı olarak gerçekleştirilmiştir [13].

Mehra ve arkadaşlarının yaptığı diğer bir çalışmada 2 boyutlu FPGA-tabanlı Sobel operatörü uygulaması sunulmuş ve sistemin maksimum çalışma frekansı 148 MHz olarak elde edilmiştir [14].

Diğer bir çalışmada Anusha ve arkadaşları 3 boyutlu Sobel operatörünü FPGA üzerinde gerçekleştirmişlerdir [15].

Makalenin ikinci bölümünde Sobel kenar belirleme operatöründen bahsedilecektir. Üçüncü bölümde ise tasarımı yapılan FPGA-tabanlı Sobel operatörü kullanılarak kenar belirleme işleminin yapısından bahsedilecektir. Son bölümde tasarlanan sistemden elde edilen sonuçlar yorumlanacaktır.

## II. SOBEL KENAR BELİRLEME OPERATÖRÜ

Sayısal görüntü verilerinin kullanımı ve analizi için kullanılan uygulamalardan birisi olan kenar belirleme işlemi birçok farklı operatörler kullanılarak gerçekleştirilebilmektedir. Temel bir kenar belirleme operatörü olan Sobel operatörü, görüntü içerisindeki renk değişim oranını ortaya çıkartmakta ve yüksek gürültü seviyelerinde daha az bozulma özelliğinden dolayı çok tercih edilmektedir. Diğer bir deyişle bu operatör, görüntü içerisindeki her bir noktanın eğimlerini belirlemektedir. Matematiksel olarak iki değişkenli bir fonksiyonun eğimi,

iki boyutlu gösterilmiş her bir görüntü noktasının yatay ve dikey yönlerdeki türevleridir. Burada iki değişimli fonksiyon, görüntünün yoğunluk fonksiyonu olarak gösterilmektedir. Görüntünün yoğunluk fonksiyonu  $f(x, y)$  olarak tanımlanırsa,  $(x, y)$  koordinatlarındaki eğimi (1), iki boyutlu vektör şeklinde tanımlanmaktadır.

$$\nabla f = \begin{bmatrix} G_x \\ G_y \end{bmatrix} = \begin{bmatrix} \frac{\partial f}{\partial x} \\ \frac{\partial f}{\partial y} \end{bmatrix} \quad (1)$$

Bu vektörün büyüklüğü ise eşitlik (2) ve (3) kullanılarak hesaplanmaktadır

$$|\nabla f| = \text{mag}(\nabla f) \quad (2)$$

$$|\nabla f| = \left[ \left( \frac{\partial f}{\partial x} \right)^2 + \left( \frac{\partial f}{\partial y} \right)^2 \right]^{1/2} \quad (3)$$

olarak hesaplanmaktadır. Eğim vektörünün bileşenleri lineer operatörler olurken, bu vektörün değeri karekökü alma işlemi olduğundan doğrusal değildir. Genel olarak, içerisinde eğim büyüklüklerinin eşitlik (4)'teki gibi mutlak değerlerinin toplamı şeklinde ifade edilmektedir.

$$|\nabla f| \approx |G_x| + |G_y| \quad (4)$$

Şekil 1'de,  $Z_5$  olarak verilen piksel değerinin eğimini hesaplamak için görüntü noktalarının  $3 \times 3$ 'lük bir maske içinde gösterilmiş notasyonu verilmektedir.

$Z_1$	$Z_2$	$Z_3$
$Z_4$	$Z_5$	$Z_6$
$Z_7$	$Z_8$	$Z_9$

Şekil 1.  $3 \times 3$  maske gösterimi

Ayrıca bir boyutlu bir  $f(x)$  fonksiyonunun birinci türevi,

$$\frac{\partial f}{\partial x} = f(x+1) - f(x) \quad (5)$$

olarak tanımlanmakta ve görüntü noktasının  $G_x$  eğim bileşeni eşitlik (6) ve  $G_y$  eğim bileşeni eşitlik (7)

$$G_x = (Z_8 - Z_5) \quad (6)$$

$$G_y = (Z_6 - Z_5) \quad (7)$$

şeklinde olmaktadır. Operatör içerisindeki 3x3 maskeler görüntünün yatay ve dikey türevlerini yaklaşık olarak hesaplamak için kullanılmaktadır. Kaynak görüntüyü  $A$  ile ve görüntünün her bir noktasındaki yatay ve dikey türevleri  $G_x$  ve  $G_y$  ile tanımlanırsa, eşitlik (8) ve (9) elde edilmektedir.

$$G_x = \begin{bmatrix} -1 & 0 & +1 \\ -2 & 0 & +2 \\ -1 & 0 & +1 \end{bmatrix} * A \quad (8)$$

$$G_y = \begin{bmatrix} +1 & +2 & +1 \\ 0 & 0 & 0 \\ -1 & -2 & -1 \end{bmatrix} * A \quad (9)$$

Şekil 2'de Sobel maskesinin yatay ve dikey ağırlıkları verilmiştir.

-1	0	+1	+1	+2	+1
-2	0	+2	0	0	0
-1	0	+1	-1	-2	-1

Şekil 2. Sobel maskesinin (a) yatay ve (b) dikey ağırlık gösterimi

Burada görüntü içerisindeki her bir noktanın eğim değerinin büyüklüğü  $G$ , eşitlik (10)'da verilen  $G_x$  yatay ve  $G_y$  dikey türev değerlerinin kullanılmasıyla hesaplanmaktadır.

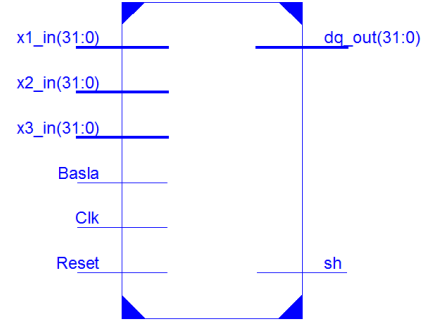
$$G = \sqrt{(G_x^2 + G_y^2)} \quad (10)$$

### III. SOBEL OPERATÖRÜNÜN FPGA TABANLI GERÇEKLENMESİ VE TEST EDİLMESİ

Bu çalışmada, kenar belirleme uygulaması için Sobel operatörü, 32-bit IEEE 754-1985 kayan noktalı sayı standardına uygun olarak FPGA çipi üzerinde donanımsal olarak tasarlanmıştır. Tasarlanan Sobel operatörü ünitesi donanım tanımlama dili olan Çok Yüksek Hızlı Tümlleşik Devre Donanım Tanımlama Dili (Very High Speed Integrated Circuit Hardware Description Language – VHDL) ile kodlanmıştır. Tasarım platformu olarak Xilinx ISE Design Suite 14.1 kullanılmış ve tasarlanan sistem Virtex-6 FPGA çipi için sentezlenmiştir. Tasarım sırasında kullanılan toplayıcı, çıkarıcı, çarpıcı ve bölücü gibi diğer

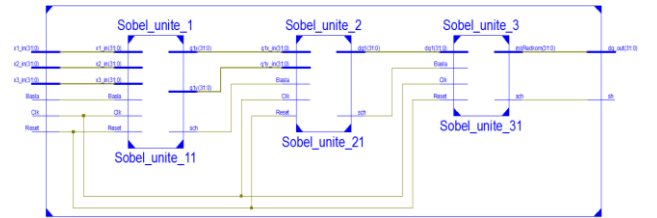
birimler Xilinx IP CORE Generator aracı kullanılarak oluşturulmuştur.

Şekil 3'te FPGA tabanlı tasarımı yapılan Sobel operatörü ünitesi en üst seviye blok şeması görülmektedir. Ünite üzerinde kayan noktalı sayı standardına uygun sayısal resmin renk bilgilerini ifade eden 3 adet 32-bit giriş sinyali ve çıkışında kenar belirleme işleminin sonucunu gösteren 1 adet çıkış sinyali tanımlanmıştır. 1-bitlik *Basla*, *Clk* ve *Reset* sinyalleri ise Sobel operatörü ünitesinin bağlı bulunduğu diğer birimler ile arasındaki senkronizasyonu sağlamak için kullanılmaktadır. 1-bit *sh* sinyali ise kenar belirleme işleminin tamamlandığını ve sonucun hazır olduğunu göstermektedir.



Şekil 3. FPGA-tabanlı Sobel operatörü ünitesi en üst seviye blok diyagramı

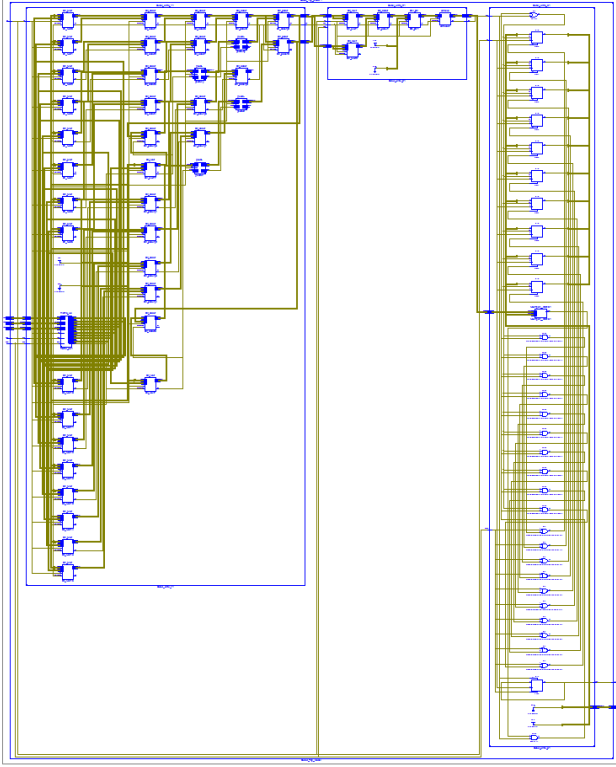
Şekil 4'te FPGA tabanlı tasarımı yapılan Sobel operatörü ünitesi ikinci seviye blok şeması görülmektedir. Sistem üç bölümden oluşmaktadır. İlk aşamada *Sobel\_unite\_1* içerisinde resmin renk değerleri maske değerleri ile çarpılmakta ve ilk değerleri ile toplanarak  $G_x$  ve  $G_y$  değerleri hesaplanmaktadır. Bu değerler *Sobel\_unite\_2* birimine gönderilmektedir. Burada  $G_x$  ve  $G_y$  değerlerinin kareleri alınarak toplanmakta ve karekök değeri hesaplanarak  $G$  eğim değeri bulunmaktadır. Bu değer *Sobel\_unite\_3* birimine gönderilerek son işleme tabi tutulmakta ve varyans değeri ile karşılaştırılarak kenar renk bilgisi değeri elde edilmektedir.



Şekil 4. FPGA-tabanlı Sobel operatörü ünitesi ikinci seviye blok diyagramı

Şekil 5'te FPGA tabanlı tasarımı yapılan Sobel operatörü ünitesi üçüncü seviye blok şeması görülmektedir. Tasarımın blok şeması ikinci seviye içerisindeki ünitelerin alt tasarımını göstermektedir. Sistem pipeline olarak çalışmakta ve ilk sonuç üretildikten sonra her 3 saat darbesi süresince sonuç çıkışa aktarılmaktadır.

Tasarımı yapılan FPGA-tabanlı Sobel operatörü Xilinx firmasının Virtex-6 ailesinin XC6VLX550T-2FF1759 çipi için sentezlenmiştir. Gerçekleme işlemi için kullanılan FPGA çipinin üreticisi tarafından geliştirilen Xilinx ISE tasarım aracı ile Place&Route işleminin ardından elde edilen çip donanım kullanım istatistikleri Tablo 1’de verilmiştir. Tasarımı gerçekleştirilen FPGA-tabanlı Sobel operatörü ünitesi maksimum çalışma frekansı 160.348 MHz olarak elde edilmiştir. Diğer bir değişle sistemin minimum çalışma periyodu 6.236 ns olarak belirlenmiştir.



Şekil 5. FPGA-tabanlı Sobel operatörü ünitesi üçüncü seviye blok diyagramı

Lojik Kullanım	Kullanılan	Kullanılabilir	Kullanım Oranı
Slice Register Sayısı	22,301	687,360	3%
Slice LUTs Sayısı	22,616	343,680	6%
Lojik Sayısı	21,338	343,680	6%
LUT-FF Sayısı	17,869	27,048	66%
IOBs Sayısı	132	840	15%
BUFG/BUFGCTRLs Sayısı	1	32	3%

Tablo 1. FPGA-tabanlı Sobel operatörü ünitesi Xilinx Virtex-6 çip kullanım istatistikleri

#### IV. SONUÇLAR

Bu çalışmada, görüntü işleme uygulamaları için 3 boyutlu Sobel operatörü kullanılarak kenar belirleme işlemi için FPGA tabanlı pipeline olarak çalışabilen yüksek hızlı yeni bir yaklaşım sunulmuştur. Geliştirilen tasarımda 32-bit IEEE 754-1985 kayan noktalı sayı standardı ve

donanım tanımlama dili olarak VHDL kullanılmıştır. Yapılan tasarım Virtex-6 FPGA çipi için Xilinx ISE tasarım aracı kullanılarak sentezlenmiş ve test edilmiştir. Ayrıca FPGA-tabanlı 3 boyutlu Sobel operatörünün gerçekleştirilmesinden elde edilen FPGA çip istatistikleri sunulmuştur. Test sonuçlarına göre 3 boyutlu Sobel operatörünün çalışma frekansı 160 MHz olarak elde edilmiştir. Sunulan çalışmanın gömülü görüntü işleme uygulamalarında kullanılabileceği gösterilmiştir.

#### KAYNAKÇA

- [1] Prakash, J., Dehghani, H., Pogue, B. W., and Yalavarthy, P. K., "Model-Resolution-Based Basis Pursuit Deconvolution Improves Diffuse Optical Tomographic Imaging", *IEEE Trans. on Medical Imaging*, vol. 33, pp. 891–901, April 2014.
- [2] Hao, F., Guoping, Q., Jie, S., and Ilyas, M., "A Novel Polar Space Random Field Model for the Detection of Glandular Structures", *IEEE Trans. on Medical Imaging*, vol. 33, no. 3, pp. 764–776, 2014.
- [3] Rana, K. B., Agrawal, G. D., Mathur, J., and Puli, U., "Measurement of void fraction in flow boiling of ZnO water nanofluids using image processing technique", *J. of Nuclear Eng. and Design*, vol. 270, pp. 217–226, 2014.
- [4] Li, L., Gong, M., Chui, Y. H., and Schneider, M., "A MATLAB-based image processing algorithm for analyzing cupping profiles of two-layer laminated wood products", *Measurement*, vol. 53, pp. 234–239, 2014.
- [5] Barakat, M. L., Mansingka, A. S., Radwan, A. G., and Salama, K. N., "Hardware stream cipher with controllable chaos generator for colour image encryption", *Image Proc.*, vol. 8, pp. 33–43, 2014.
- [6] Lu, W., Lifan Z., Guoan B., Chunru, W., and Lei, Y., "Enhanced ISAR Imaging by Exploiting the Continuity of the Target Scene", *IEEE Trans. on Geoscience and Remote Sensing*, vol. 52, no. 9, pp. 5736–5750, September 2014.
- [7] Xiao, Y., and Dong, S., "Multilevel-Based Topology Design and Cell Patterning With Robotically Controlled Optical Tweezers", *IEEE Trans. on Control Syst. Techn.*, vol. 23, pp. 176–185, 2015.
- [8] Yuan-Hui, Y., and Chang, C. C., "A new edge detection approach based on image context analysis", *Image and Vision Computing*, vol. 24, pp. 1090–1102, 2006.
- [9] Gonzales, R. C., and Woods, R. E., *Digital Image Processing*. New Jersey : Prentice-Hall, 2002.
- [10] Canny, J. F., "A computational approach to edge detection", *IEEE Trans. on Pattern Anal. Mach. Intell.*, vol. 6, pp. 679–698, 1986.
- [11] Chung, C. K., and Wang, W. J., "A novel edge detection method on the maximizing objective function", *Pattern Recognition*, vol. 40, pp. 609–618, 2006.
- [12] Koyuncu, I., Özcerit, A. T., and Pehlivan, I., "Implementation of FPGA-based Real Time Novel Chaotic Oscillator", *Nonlinear Dyn.*, vol. 75, no. 1–2, pp. 49–59, 2014.
- [13] Kumar, S., and Prabat, P., "FPGA Implementation of Image Segmentation By Using Edge Detection Based On Sobel Edge Operator", *Int. J. of Research in Eng. and Tech.*, vol. 2, pp. 198–203, 2013.
- [14] Mehra, R., and Rupinder, V., "Area Efficient FPGA Implementation of Sobel Edge Detector for Image Processing Applications", *Int. J. of Comp. Appl.*, vol. 5, pp. 7–11, 2012.
- [15] Anusha, G., Prasad, T. J., and Narayana, D. S., "Implementation of SOBEL edge detection on FPGA." *Int. J. of Computer Trends and Techn.*, vol. 3, pp. 472–475, 2012.