

# Altın Oran Denge Noktalarına Sahip 3 Boyutlu Bir Kaotik Osilatörün Gerçek Zamanlı Donanımsal Gerçeklemesi

## Real Time Hardware Implementation of the 3D Chaotic Oscillator which having Golden-Section Equilibra

Murat Tuna<sup>1</sup>, Can Bülent Fidan<sup>2</sup>, İsmail Koyuncu<sup>3</sup>, İhsan Pehlivan<sup>4</sup>,

<sup>1</sup>Elektrik Teknolojisi Bölümü, Kırklareli Üniversitesi, Kırklareli, Türkiye  
murat.tuna@klu.edu.tr

<sup>2</sup>Mekatronik Mühendisliği Bölümü, Karabük Üniversitesi, Karabük, Türkiye  
cbfidan@karabuk.edu.tr

<sup>3</sup>Kontrol ve Otomasyon Teknolojisi Bölümü, Düzce Üniversitesi, Düzce, Türkiye  
ismailkoyuncu@düzce.edu.tr

<sup>4</sup>Elektrik-Elektronik Mühendisliği Bölümü, Sakarya Üniversitesi, Sakarya, Türkiye  
ipehlivan@sakarya.edu.tr

**Özetçe**—Bu çalışmada, son yıllarda literatüre sunulan altın oran denge noktalarına sahip, sürekli zamanlı, otonom, üç boyutlu bir kaotik sistem, FPGA üzerinde ilk defa ayrık zamanlı olarak gerçekleştirilmiştir. Yapılan tasarımda, üç boyutlu kaotik sistem, 32 bit IQ-Math (16I-16Q) sabit noktalı sayı formatında, Heun algoritması kullanılarak VHDL dilinde kodlanmıştır. Tasarlanan sistem Xilinx ISE tasarım aracı kullanılarak Virtex-6 FPGA çipinde sentezlenmiş ve test edilmiştir. Test sonuçlarına göre FPGA-tabanlı yeni kaotik işaret üreticinin çalışma frekansı 406.736 MHz olarak belirlenmiştir. Ayrıca yeni kaotik osilatörün, Xilinx ISE tasarım aracı üzerinde yapılan “Route&Place” işleminin ardından, elde edilen çip istatistikleri ve performans sonuçları sunulmuştur. FPGA üzerinde sabit noktalı sayı formatıyla gerçekleştirilen kaotik osilatör tasarımının, kayan noktalı sayı standardına göre daha az çip donanımı kullandığı ve çalışma frekansının daha yüksek olduğu gösterilmiştir.

**Anahtar Kelimeler**—Kaos; Kaotik sistem; FPGA; VHDL.

**Abstract**—In this study, the continuous-time, autonomous, 3D chaotic system having golden-section equilibra which is recently presented in the literature is implemented firstly as discrete time on an FPGA. In this design, the 3D chaotic system was programmed in 32-bit IQ-Math (16I-16Q) fixed-point number format using VHDL and Heun algorithm. The designed system has been synthesized and tested, using Xilinx ISE design tool, on Virtex-6 FPGA chip. According to the test results, operation frequency of the FPGA-based new chaotic signal

generator is certain as 406.736MHz. In addition, chip statistics and performance results of the new chaotic oscillator are presented after the “Route&Place” processes performed on Xilinx ISE design tool. The chaotic oscillator design realized with fixed-point number format on FPGA has been shown to be use lesser chip hardware and higher operating frequency compared to the floating-point standard.

**Keywords**—Chaos; Chaotic system; FPGA; VHDL.

### I. GİRİŞ

Günümüzde kaos ve kaotik sistemler, popüleritesini iyice artırarak güncel konular arasında yerini almış ve rasgele sayı üretimi, kriptografi, güvenli haberleşme, sayısal sinyal işleme, ekonomi, güç trafoları, hastalık teşhisi, yapay sinir ağları, hava tahminleri, optimizasyon, sürücü sistemleri, kontrol sistemleri gibi pek çok bilimsel alandaki araştırmalara ve projelere, yüksek lisans ve doktora seviyesindeki tezlere konu olmuştur [1, 2]. Kaotik sistemlere ait işaretlerin istemli bir biçimde meydana getirilmesi ister mühendislik bilimlerinde olsun ister diğer bilim dallarında olsun oldukça önemli bir aşamadır. Kaos sistem dinamiklerinin istemli bir biçimde elektronik devreler ile oluşturulması için de günümüzde oldukça fazla çalışmalar yapılmakta ve bu çalışmalar gün geçtikçe artış göstermektedir [3-5].

Kaotik çekerler başlangıç koşullarına hassas bağlı, karmaşık ve düzensiz görünümlü olmakla birlikte bu çekerler deterministik doğrusal olmayan zamanla

değişen sürekli ve ayrık sistemlerde ortaya çıkarlar [6]. Kaotik sistemlerin çok karmaşık olmayan devre yapılarına sahip olmalarına rağmen ilginç dinamik özelliklere sahip olmaları, son yıllarda kaotik sistemlere olan ilgiyi oldukça arttırmıştır [7-9].

Kaos tabanlı mühendislik uygulamalarının artırılması ve yaygınlaştırılması açısından bir taraftan ortaya konan kaotik devre modellerinin çeşitlendirilmesi ve diğer taraftan da bu modellerin daha fonksiyonel ve esnek bir biçime kavuşturulmaları gerekmektedir. Esnek elektronik devre tasarımında kullanılan FPGA (Field Programmable Gate Array - Sahada Programlanabilir Kapı Dizileri)' ler ile yeni devre tekniklerinin kaotik işaret üreteç tasarımına uygulanması, kaotik devre modellerini ve bu modellerin kullanıldığı uygulamaları çok daha esnek ve kullanışlı kılacaktır [10]. FPGA-tabanlı kaotik devre modelleri programlanabilirlik ve yeniden yapılandırılabilirlik açısından son derece uygun sistemlerdir. Çünkü kaotik sistemlerde parametre değişimlerine göre farklı moda işaret üretilebilmesi ve ilgili kaotik sistemin farklı doğrusal olmayan fonksiyonlarla alternatifli olarak gerçekleştirilmesi söz konusu olup bu özelliklere sahip kaotik devre modelleri programlanabilir ve yeniden yapılandırılabilir bir şekilde esnek ve donanım karmaşası olmadan kolay bir şekilde tasarlanabilirler. Kaotik osilatörlerin sayısal FPGA tabanlı modellenmesine yönelik çalışmalara literatürde oldukça fazla önem verilmektedir [11-15].

Bu çalışmada, ikinci bölümde literatüre yeni sunulan ve üzerinde FPGA tabanlı çalışmalar yapılmamış 3D kaotik sistemin Matlab üzerinde dinamik kaos analizleri (Zaman serileri, Faz portleri, Lyapunov üstelleri) yapılmıştır. Üçüncü bölümde sunulan 3D kaotik sistem, FPGA üzerinde IQ-Math (Fixed Point Number) sabit noktalı sayı formatı ile donanım tanımla dili kullanılarak ilk defa gerçekleştirilmiştir. Literatürdeki IEEE 754-1985 kayan nokta sayı formatındaki tasarımlarına göre [13-15], sabit noktalı sayı formatının daha az FPGA çip donanımı kullandığı ve daha yüksek çalışma frekansına sahip olduğu gösterilmiştir. Son bölümde bu kapsamda FPGA üzerinden alınan sonuçlar verilerek yorumlanmıştır.

## II. ÜÇ BOYUTLU YENİ KAOTİK SİSTEM

Bir kaotik sistem denklemlerle ifade ediliyorsa deterministik kaos olarak adlandırılır. Kaotik sistemler matematiksel modelleri doğrusal olmayan bir yapıya sahiptirler. Bu sistemler hem sürekli zamanlı diferansiyel denklemlerle hem de ayrık zamanlı fark denklemleri ile ifade edilebilmektedirler [16]. Sürekli zamanlı kaotik bir sistem oluşturmak için basit yapıda ikinci/üçüncü dereceden diferansiyel bir denklemler takımı ve nonlineer bir yapı çoğu zaman yeterli olmaktadır [16]. Pehlivan ve arkadaşları 2012' de yaptıkları çalışmalarında yeni tasarladıkları 3 boyutlu sürekli zamanlı iki kuadratik doğrusalsızlık içeren otonom bir kaotik sistemi tanıtmışlardır [17].

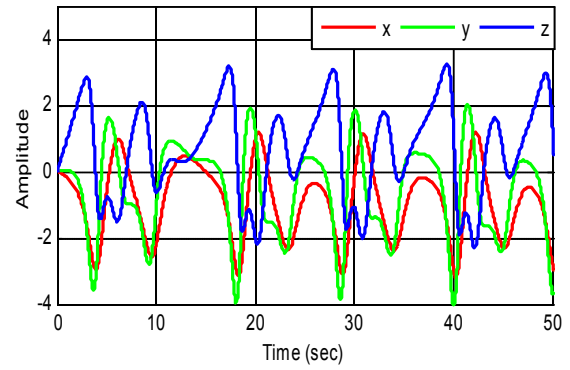
Kaos uygulamaları için önerilen yeni sistemin matematiksel modeli denklem (1) verilmiştir. Matematiksel modelde verilen  $a$  ve  $b$  sistem parametrelerinin değerleri eşitlik 2' de ve kaotik sistemin başlangıç şartları  $(x_0, y_0, z_0)$  eşitlik 3' te tanımlanmıştır.

$$\begin{aligned} \dot{x} &= y - x - az \\ \dot{y} &= xz - x \end{aligned} \quad (1)$$

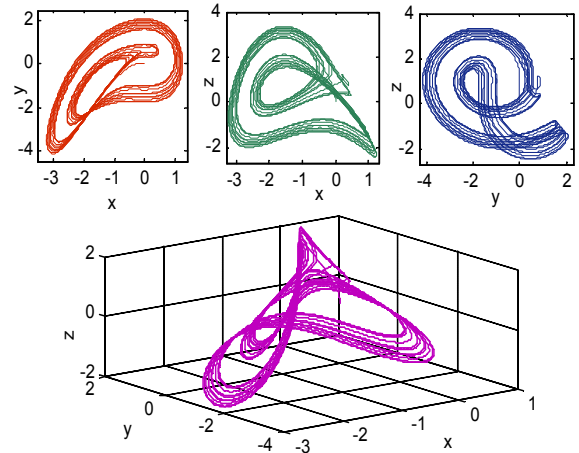
$$\begin{aligned} \dot{z} &= -xy - y + b \\ a &= 0.5, b = 1 \end{aligned} \quad (2)$$

$$x_0 = 0, y_0 = 0, z_0 = 0 \quad (3)$$

Pehlivan ve arkadaşlarının önerdiği bu sistem, 2 adet ikinci dereceden doğrusal olmayan ifade ( $xz$  ve  $xy$ ) olmak üzere 8 terim ve 2 parametre içermektedir. Bu sistem Matlab programında Heun nümerik algoritması kullanılarak modellenmiştir. Nümerik modelden alınan sonuçlardan Şekil 1' de sistemin kaotik zaman serileri ve Şekil 2' de faz portleri verilmiştir.

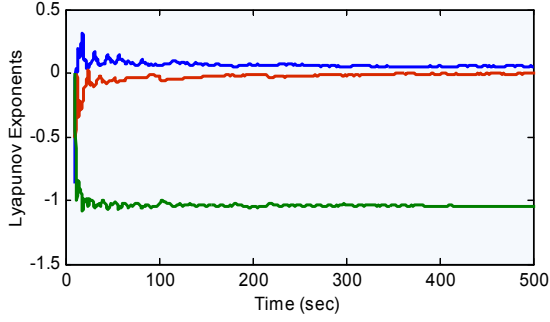


Şekil 1. Pehlivan vd. tarafından tasarlanan 3D kaotik sistemin x, y, z ve x-y-z zaman serileri



Şekil 2. Pehlivan vd. tarafından tasarlanan 3D kaotik sistemin x-y, x-z, y-z faz portleri ve 3D faz yörüngesi

Pehlivan yeni kaotik sisteminin kaos analizi için gerekli Lyapunov üstelleri Matlab programında geliştirilen Lyapunov Exponent Toolbox (LET) kullanılarak Şekil 3' te elde edilmiştir. Sonuçlara göre sistemin işaretleri  $(\lambda_1, \lambda_2, \lambda_3)$  sırasıyla  $(+, 0, -)$  olduğundan bu sistemin kaotik olduğu kanıtlanmıştır.



Şekil 3. Pehlivan vd. tarafından tasarlanan yeni kaotik sistemin Lyapunov üstelleri

### III. FPGA TABANLI TEST SONUÇLARI

Bu çalışmada kaotik sistemin FPGA tabanlı sayısal modelinin oluşturulması için Heun algoritması kullanılmıştır. Bu yöntemle ait denklemler (4) verilmiştir.

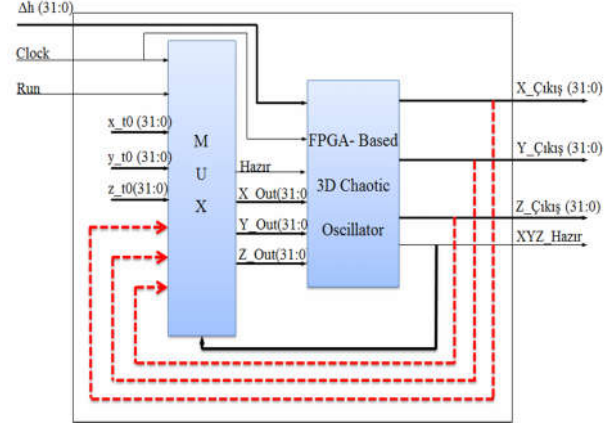
$$\begin{aligned}
 y(x_0) &= y_i = y_0 \\
 y_{\lambda+1}^0 &= y_{\lambda} + f(y_{\lambda}) * \Delta h \\
 y_{\lambda+1} &= y_{\lambda} + \frac{f(y_{\lambda}) + y_{\lambda+1}^0 * \Delta h}{2}
 \end{aligned} \quad (4)$$

Bu denklemde  $y_0$  kaotik sistemin başlangıç şartlarını ve  $\Delta h$  ise algoritmanın adım aralığını belirtmektedir. Heun algoritması iki adımdan oluşmaktadır. Birinci adımda  $f(y_{\lambda+1}^0)$  değeri hesaplanmaktadır. İkinci adımda hesaplanan  $f(y_{\lambda+1}^0)$  değeri ile  $y_{\lambda}$  değerleri kullanılarak sistemin bir sonraki değeri  $f(y_{\lambda+1})$  hesaplanmaktadır. 3D kaotik sistemin Heun tabanlı ayrıklaştırılmış matematiksel modeli denklem (5) verilmiştir.

$$\begin{aligned}
 x(k^0+1) &= x(k) + \Delta h (y(k) \cdot (z(k) - \rho)) \\
 x(k+1) &= x(k) + \Delta h ((y(k) \cdot (z(k) - \rho)) + x(k^0+1)) / 2 \\
 y(k^0+1) &= y(k) + \Delta h (y(k) \cdot (z(k) - \rho) - x(k) \cdot (z(k) + \rho)) \\
 y(k+1) &= y(k) + \Delta h ((y(k) \cdot (z(k) - \rho) - x(k) \cdot (z(k) + \rho)) + y(k^0+1)) / 2 \\
 z(k^0+1) &= z(k) + \Delta h (-y(k) \cdot (\rho x(k) - y(k)) - \sigma \cdot (z(k) - \rho)) \\
 z(k+1) &= z(k) + \Delta h ((-y(k) \cdot (\rho x(k) - y(k)) - \sigma \cdot (z(k) - \rho)) + z(k^0+1)) / 2
 \end{aligned} \quad (5)$$

Denklemde (5)  $x(k)$ ,  $y(k)$  ve  $z(k)$  değerleri kullanılarak sırasıyla  $x(k^0+1)$ ,  $y(k^0+1)$  ve  $z(k^0+1)$  ara değerleri hesaplanmaktadır. Daha sonra bu ara değerler kullanılarak diferansiyel denklemin  $x(k+1)$ ,  $y(k+1)$  ve  $z(k+1)$  olan  $\Delta h$  adımı kadar sonraki ilk değerleri hesaplanmaktadır. Bu denklemde Heun algoritmasının adım aralığı  $\Delta h = 0.01$  olarak alınmıştır. Heun algoritması kullanılarak FPGA-tabanlı gerçekleştirilen yeni kaotik sinyal üreticinin Xilinx ISE 14.1 tasarım programından elde edilen blok diyagramı Şekil 4' te gösterilmiştir. Kaotik işaret üretici *MUX* ve *3D Kaotik Sistem* olmak üzere iki kısımdan meydana gelmektedir. *MUX* ünitesi, sistemin başlangıç şartlarının sağlanması amacıyla kullanılmaktadır. *3D Kaotik Sistem* ise kaotik

sinyalleri üreten bölümdür. Sistem, *Run* sinyalini aldığı ilk başlangıç koşulu değerleri üretici içerisinde tanımlanan değerlerden almaktadır. Kaotik işaret üretici ilk değerini ürettiğinde ise *XYZ Ready* sinyali '1' olmakta ve kaotik işaret üretici başlangıç şartlarını üreticinin çıkışından aldığı sinyallerden sağlamaktadır. Tasarlanan sistemin çıkışında 3 tane 32-bit (16I-16Q) IQ-Math sabit noktalı sayı standardında *X Çıkış*, *Y Çıkış* ve *Z Çıkış* sinyalleri ile bu sinyallerin çıkışa aktarıldığını gösteren *XYZ Hazır* kontrol sinyali bulunmaktadır.



Şekil 4. FPGA-tabanlı yeni kaotik sistem 2 seviye blok diyagramı

Şekil 5' te FPGA-tabanlı 3D kaotik osilatörün en üst seviye blok diyagramı verilmiştir. Şekil 6' da ise Xilinx ISE simülasyon sonuçları verilmiştir. Ünite pipeline olarak çalışmakta ve ilk sonuçlarını 46 saat darbesi sonucunda üretmektedir. Bundan sonra her 46 saat darbesinde yeni sonuçlar üretilmektedir.

### IV. SONUÇLAR

Bu çalışmada 3D kaotik sistem Heun algoritması kullanılarak ilk defa 32-bit (16I-16Q) IQ-Math sabit noktalı sayı standardı ile FPGA tabanlı olarak modellenmiş ve bir donanım tanımlama dili VHDL' de kodlanmıştır. Yapılan tasarımlarda kullanılan sabit noktalı sayı standardına uygun çarpıcı, toplayıcı ve çıkarıcı gibi üniteler, Xilinx ISE Design Tools ile geliştirilen IP CORE Generator kullanılarak oluşturulmuştur. Gerçeklenen kaotik osilatör Xilinx firmasının ürettiği Virtex-6 xc6vlx75T-3ff784 FPGA çipine yüklenerek test edilmiştir. Yerleştirme ve bağlama (Place-Route) işleminin ardından elde edilen çip istatistikleri Tablo 1'de verilmiştir.

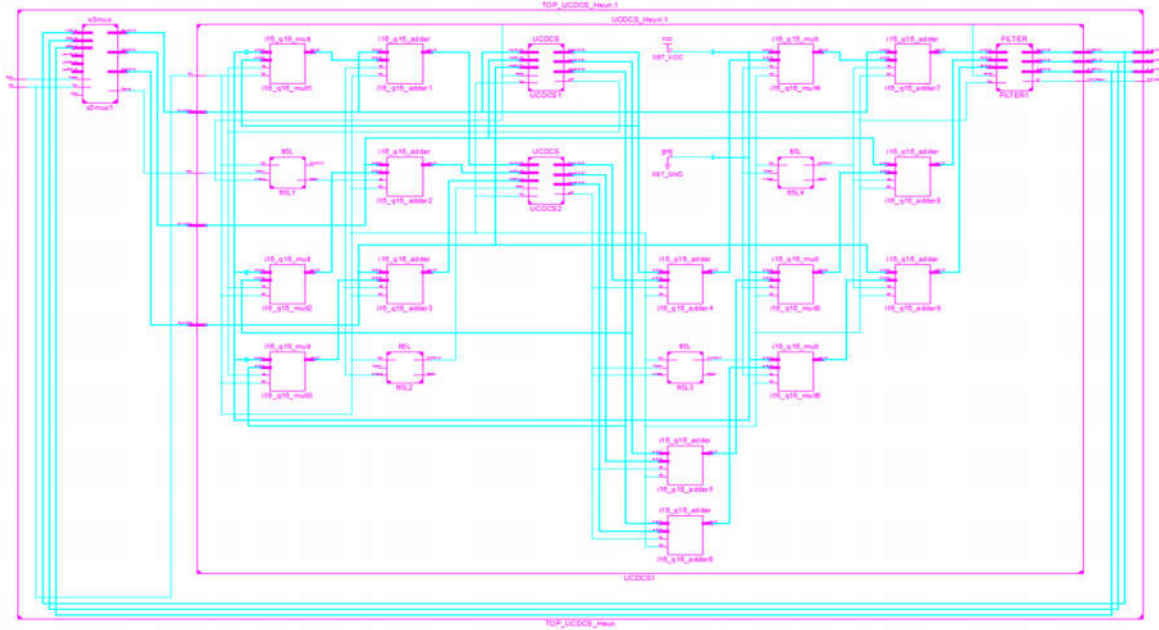
Heun Tabanlı 3D Kaotik Osilatör	Slice Regs. Sayısı / %	LUTs Sayısı / %	Bonded IOBs Sayısı / %	Maks. Saat Frekansı (MHz)	Minimum Darbe Periyodu (ns)
	2255 / 2	2182 / 4	80 / 25	406.736	2.459

Tablo 1. FPGA-tabanlı 3D Kaotik osilatör çip istatistikleri

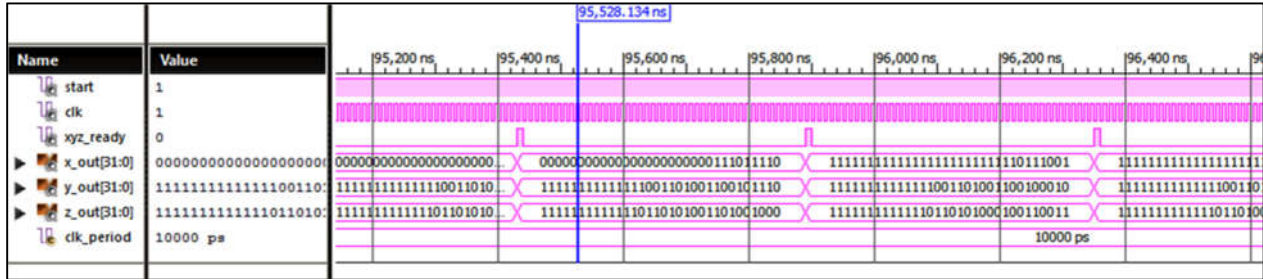
Çip istatistiklerinden de görüldüğü üzere kaotik osilatörün maksimum çalışma frekansı 406.736 MHz ve minimum çalışma periyodu 2.459 ns' dir. Bu çalışma ile literatüre ilk defa sunulan kaotik sistemin FPGA üzerinde tasarımının gerçekleştirilmesi ile rasgele sayı üretimi ve güvenli haberleşme sistemi gibi kaos tabanlı

mühendislik uygulamalarında kullanılabilceği gösterilmiştir. Ayrıca IEEE 754-1985 kayan nokta sayı formatındaki tasarımlarına göre sabit noktalı sayı

formatının daha az FPGA çip donanımı kullandığı ve daha yüksek çalışma frekansına sahip olduğu gösterilmiştir.



Şekil 5. FPGA-tabanlı yeni kaotik işaret üretici ikinci seviye blok diyagramı



Şekil 6. FPGA-tabanlı yeni kaotik işaret üretici Xilinx ISE simülasyon sonuçları

## KAYNAKÇA

- [1] Banerjee, S., Kurths, J., "Chaos and Cryptography: A new Dimension in Secure Communications", *The European Physical Journal Special Topics*, 223(8): 1441-1445, 2014.
- [2] Zhengxing, H., Wei, D., Huilong, D., Haomin, L., "Similarity measure between patient traces for clinical pathway analysis: problem, method, and applications". *IEEE J. of Biomedical and Health Inf.*, 18(1): 4-14, 2014.
- [3] Chen, G., Ueta, T., *Chaos in Circuits and Systems*, World Scientific, London, 4-40, 2002.
- [4] Petržela, J., Hruboš, Z., Gotthans, T., "Modeling Deterministic Chaos Using Electronic Circuits", *Radio Engineering*, 20(2): 438-444, 2011.
- [5] Piper, J. R., Sprott, J. C., "Simple Autonomous Chaotic Circuits", *IEEE Transactions On Circuits And Systems-II: Express Briefs*, 57(9): 730-734, 2010.
- [6] Merah, L., Pacha, A. A., Said, N. H., Mamat, M., "A Pseudo Random Number Generator Based on the Chaotic System of Chua's Circuit, and its Real Time FPGA Implementation", *Applied Mathematical Sciences*, 7(55): 2719-2734, 2013.
- [7] Abooe, A., Yaghini-Bonabi, H. A., Jahed-Motlagh, M. R., "Analysis and Circuitry Realization of A Novel Three-Dimensional Chaotic System", *Commun Nonlinear Sci Numer Simulation*, 18: 1235-1245, 2013.
- [8] Pehlivan, İ., Wei, Z., "Analysis, Nonlinear Control, and Chaos Generator Circuit of Another Strange Chaotic System", *Turk J Elec Eng & Comp Sci*, 20(2):1229-1239, 2012.
- [9] Deng, K., Li, J., Yu, S., "Dynamics Analysis and Synchronization of A New Chaotic Attractor", *Optik*, 125: 3071-3075, 2014.
- [10] Koyuncu, İ., Özcerit, A. T., Pehlivan, İ., "Implementation of FPGA-based Real Time Novel Chaotic Oscillator", *Nonlinear Dyn., Springer*, 75(1-2): 49-59, 2014.
- [11] Pande, A., Zambreno, J., "Design and hardware implementation of a chaotic encryption scheme for real-time embedded systems", *Inter. Conf. on Signal Processing and Communication*, 1-5, 2010.
- [12] Azzaz, M. S., Tanougast, C., Sadoudi, S., Fella, R., Dandache, A., "A New Auto-Switched Chaotic System and Its FPGA Implementation", *Comm. In Nonlinear Sci. and Numerical Sim., Elsevier*, 18(7): 1792-1804, 2013.
- [13] Koyuncu, İ., Özcerit, A. T., Pehlivan, İ., "An Analog Circuit Design and FPGA-Based Implementation of the Burke-Shaw Chaotic System", *Optoelectronics and Advanced Materials-Rapid Communications*, 7: 635-638, 2013.
- [14] Tlelo-Cuautle, E., Rangel-Magdaleno, J.J., Pano-Azucena, A.D., Obeso-Rodelo, P.J., Nunez-Perez, J.C., "FPGA realization of multi-scroll chaotic oscillators", *Commun Nonlinear Sci Numer Simulat* 27:, 66-80, 2015.
- [15] Tuna, M., Koyuncu, İ., Fidan, C. B., Pehlivan, İ., "Real time implementation of a novel chaotic generator on FPGA", *IEEE 23th Signal Processing and Comm. Appl. Conf.*, 698-701, 2015.
- [16] Pamuk, N., "Dinamik Sistemlerde Kaotik Zaman Dizilerinin Tespiti", *BAÜ Fen Bil. Enst. Dergisi*, 15(1), 77-91 (2013).
- [17] Pehlivan, İ., Uyaroğlu, Y., "A new 3D chaotic system with golden proportion equilibria: Analysis and electronic circuit realization", *Com. and Elect. Engineering, Elsevier*, 38: 1777-1784, 2012.